

# ジャイロ駆動における HDL の適用評価

小磯賢智\*

## Application Evaluation to the Gyroscope Drive of HDL

Kenchi KOISO

### 1. はじめに

HDL(Hardware Description Language)は論理回路の構造(アーキテクチャ)を設計するための言語であり、いわゆる時系列処理する一般的なプログラム言語とはまったく性質を異にする。

これまでの論理回路設計ではテキストベースによる真理値表や論理式等を作成し、基本ゲートレベル設計を行い、それに基づき回路を組み上げることが一般的に行われてきた。こうした手法はゲート数の少ない場合には適用可能であるが、今日の携帯電話に代表されるような、さまざまな機能が統合されたシステムでは、その小型化とともにその内部システムの動作把握は手作業で追うことはもはや不可能である。一方でその動作のメインとなる回路シミュレーション技術は飛躍的に向上し、事前検証で信号線の時系列タイミングによる変化を正確に把握することが可能である<sup>1)</sup>。

論理レベル設計では通常多くの CMOS ロジックなどを数多く組合わせて順序回路を設計していく。HDL 設計では PLD(Programmable Logic Device)という単一素子にそれらターゲット回路の機能をまとめて合成して1チップで動作させることができる。これにより IC の数を減らすことが可能であるため、最終的な製品の小型化およびコストを下げる効果がある。ジャイロはセンサーとして単独利用ではなく他周辺との連携で複合的に利用することが一般的であり、装置全体を小型化し省エネ化する意義は大きいと思われる。

ここではジャイロ開発<sup>2, 3)</sup>において使用している論理回路の PLD 化に伴う評価と検証を行った。

### 2. 検証方法

#### 2. 1 PLD 開発の流れ

HDL には、おもに VHDL および Verilog があるが、シミュレーション用としては Verilog が適しており、今回はそれを用いて検証を行った。

PLD までの開発手順は、一般的に図 1 に示す流れとなる。

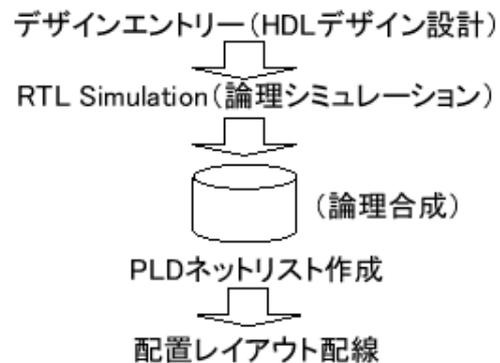


図 1 開発フロー

まずデザインエントリーにてターゲットとなる回路モデルの構築を行い、HDL にて RTL (回路部分) とテストベンチの動作記述を行う。次に RTL シミュレーションではその回路動作の検証を行う。その際にタイミング制約および信号線に対するピンアサイン設定を行い、コンパイル実行にて論理合成を行う。ネットリストは論理合成により作られる配置配線情報のリストのことであり、テキストベースで回路情報が記述されている。このフローでは上流から下流へ行くほど処理データ規模は大きくなっていく<sup>4)</sup>。

\* 電子・機械情報グループ

## 2. 2 実験モデル

今回検証を行うブロック図を図2に示す. 全体を駆動するためのドライブインターフェース回路とその信号をアンプ増幅後デジタル信号へ変換する回路部, さらにその信号を受けて外部へ出力する構成になっている.

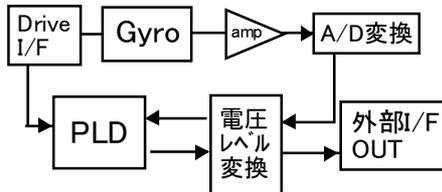


図2 回路ブロック構成

PLDの駆動するコア電源は1.8~3.3vの範囲で決まっているために外部 I/F で5V駆動の場合は電圧のレベル変換を行う必要がある. それにより相互に信号のやりとりが可能となる.

ここではまずジャイロ信号の出力部で用いられている8bit\_binaryカウンタ回路を動作モデルとして取り上げた. 図3は一般的なゲートレベル図であり, 図4は同動作をHDLにて記述したのち論理合成したRTLモデルである. 両者とも動作は同一である. RTLモデルでは大きく3つのブロックで表現されている. 図中の(I)はADDER(加算器), (II)はセクタ(選択器), (III)はレジスタ(記憶回路)を表す.

RTLモデルでは必要とする動作記述が最低限に書かれているため, 無駄に多くのリソースを消費することがない.

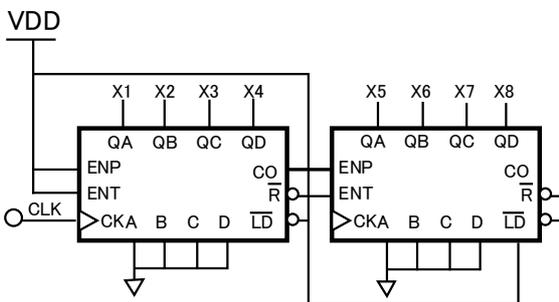


図3 8bit カウンター回路

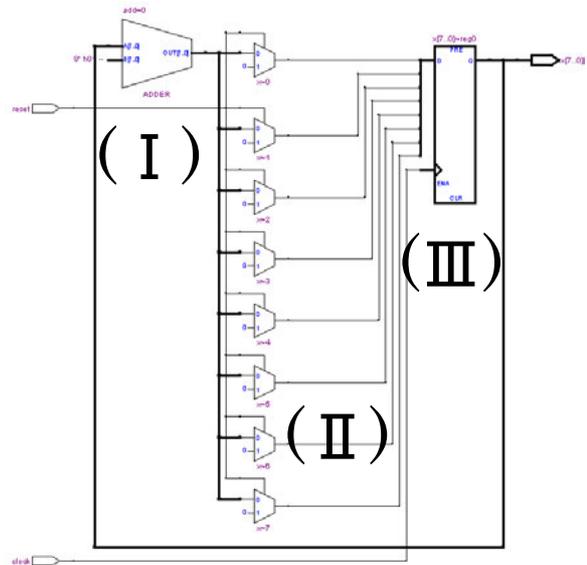


図4 RTL ブロック図

図5は同モデルのシミュレーション結果の信号波形である. クロック信号に従い, 時系列に1bitずつ出力波形がカウントアップされている様子が分かる. 実際の動作についてもこのような結果となることが分かっている. 実回路においては必要なビット数に応じて複数個組み合わせることにより演算処理して外部へ出力する. タイミング解析の結果, この回路規模では229MHzまでの動作が可能であることが分かった. さらに16bit出力では201MHz, 24bitでは179MHzになり, ビット数増加にともない演算速度が低下することが分かる.

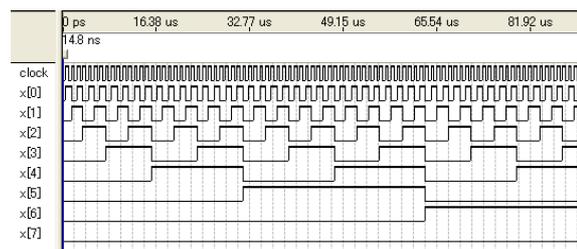


図5 8bit 信号タイミングチャート

## 3. 結果と考察

2のモデルを基にして, 実際の駆動部分のタイミングの一部についてシミュレーションを行った. カウンタ回路およびF-F(FlipFlop)回路の順序回路の組み合わせにより全部でIC6回路分に相当する. この場合の必要エレメント数は35, 動作周波数は最大119MHzである. 図6は実際のタイミングチャートで, 図7にシミュレーション結果を示す.

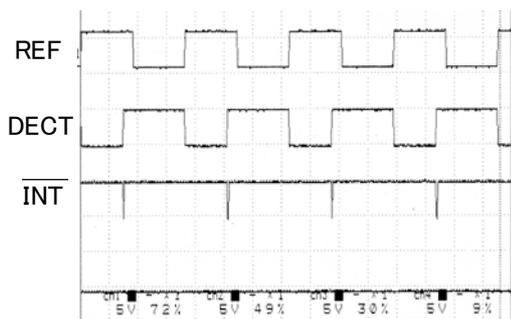


図 6 駆動タイミングチャート

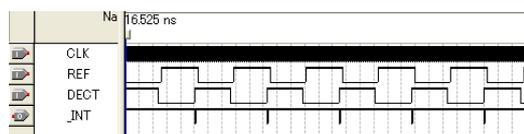


図 7 シミュレーション結果

図 6 はジャイロ駆動の基準信号(REF)とその応答検出信号(DECT), および動作中に生じる割込信号(INT)を捕らえたオシロスコープの波形である。図 7 は, 同信号について動作タイミングをテストベンチにて得られたシミュレーション結果である。実信号とシミュレーションではそれぞれの信号のクロック周期に多少の差は見られるものの, 動作レベルではほぼ正確に表現されており, 実用上でも問題のないレベルであると言える。

#### 4. まとめ

以上の結果より, 実際のロジック IC とシミュレーションにより同等の機能を PLD にて実現可能であることが確認できた。論理回路シミュレーション解析では, 解析ステップの数に応じて多くの時間を必要とする。したがって解析に必要な動作タイミングを必要最小限に決め, 無駄な時間を無くして有効活用できるようにすることが今後の課題である。

今回は大まかな動作における適性について評価を試みたが, 今後はこれら機能の詳細についても同様の検証を行い, 全体回路の小型化へ向けて開発を進めていく予定である。

#### 参考文献

- 1) 長谷川ほか: “VHDL によるハードウェア設計”. DesignWave.p11(2004)
- 2) 小磯ほか: “二次元振動型マイクロジャイロの開発”. 三重県科学技術振興センター工業研究部報告, 28, p68(2004)
- 3) 三重県ほか: “ジャイロ装置”. 特願 2003-388908
- 4) 小林優: “VerilogHDL 記述入門”. CQ 出版, p16-18(2005)

(本研究は法人県民税の超過課税を財源としています)