

電子回路基板の EMI ノイズ対策技術

小磯賢智* , 山口裕史*

EMI Noise Reduction Techniques for Electronic Circuit Board

Kenchi KOISO and Yuji YAMAGUCHI

Electromagnetic interference (EMI) often adversely affect on electronic equipments. EMI noise can be reduced by the design of printed circuit board (PCB), therefore we experimentally made some PCBs and investigated these characteristics of EMI noise by electromagnetic field analyses and RF measurements. As results, roundly designed transmission line was effective in reducing EMI noise, and when the separation distance between adjacent transmission lines was larger than the line width, it was effective in reducing crosstalk disturbance.

Key words: Electromagnetic Interference, Printed Circuit Board, Transmission Line, Crosstalk

1. はじめに

電子機器から発生する高周波ノイズは機器の正常な動作を妨げて誤動作につながることからしばしば社会的な問題となっている。そのようなノイズ発生は電磁妨害 (EMI: Electro Magnetic Interference) をもたらすため、周辺にある電子機器にとって大きな脅威となっている。近年このようなトラブルが増えている原因としては、機器の小型・高性能化や無線通信環境が増えていることが考えられる。機器が高速に動作するとデジタル信号の立ち上がりや立ち下がりが急峻となるため、その部分の高周波成分がノイズとなって放射し、誤動作につながる¹⁾。

例えば、データ送受信のために複数信号を伝送する場合、基板面積の問題から配線間隔をできるだけ狭くして図 1 に見られるように配線同士が密着して並走する配線パターンを目にすることがある。隣接する配線同士は電磁的な結合が高まるため、本来の正常な信号が乱されて異なる信号となる。その結果、誤った信号が相手に伝わり意図しない動作につながってトラブルをもたらす。このような高周波ノイズをいかに低減させるかが課題となっている。

筆者はこれまでに高周波測定装置を使った実験や電磁界シミュレーション解析を行っており、その有用性について報告を行ってきた^{2,3)}。

本研究では、電子機器で多用されているプリント基板を用いて、実際の基板上看られる各種配線パターンから発生するノイズについて電磁界解析および試作基板による実験で検証を行ったので、その結果について報告する。またノイズを低減させるプリント基板設計について言及する。

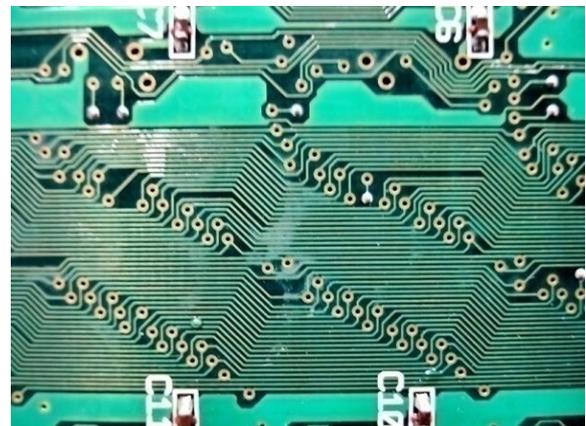


図 1 並走配線のパターン例

* 電子・機械研究課

2. 実験

2.1 ノイズ対策の基本ルール

ノイズ対策には大きく2つのアプローチがあり、設計時にあらかじめノイズが発生しやすい部分を予想して対策を施す方法と、全体が完成した後に、電波暗室等での妨害波測定結果に基づいて特定周波数に対して限度を超えたノイズを低減させるために、完成基板に対して変更や修正をかける方法とがある。

このうち後者の方法は、部品が実装された基板に対して変更を行うため、実装部品を交換する以外の手法をとることは一般的に困難であり、対策範囲も限定的となる。それに比べて前者の方法は、設計の初期段階から対策を考慮することが可能であるため、コスト面からも有効な手段であるといえる^{4,5)}。図2は一般的な電子機器・装置を対象としたEMI対策について大まかに分類したもので、各項目について対策を考慮すべき箇所を示したものである⁶⁾。実際の製品ではこれに加えてさらに細かな部分まで検討を

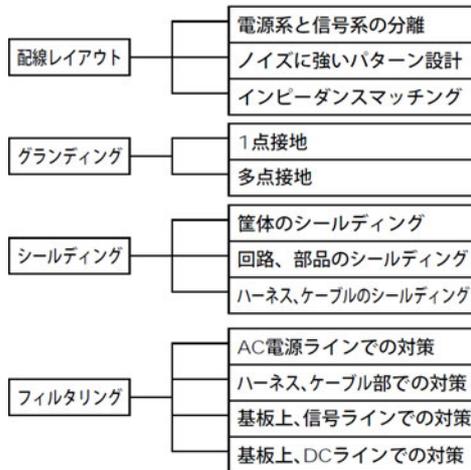


図2 EMI対策の分類例

要する場合も多い。

本報では、電子機器の内部で使用されているプリント回路基板の配線レイアウトに着目し、配線パターンとEMIとの相関について検討をおこなった。

2.2 検討対象とする回路

まず、実際の基板に見られる回路配線について観察してみると、図1のような並走配線パターン、図3のような直角に折れた配線パターン、図4(基板の表裏を同時に投影した写真)のように配線幅や配線間隔が一定ではなく、表面配線と裏面配線が交差している様子等が見られる。そこで回路の配線形状

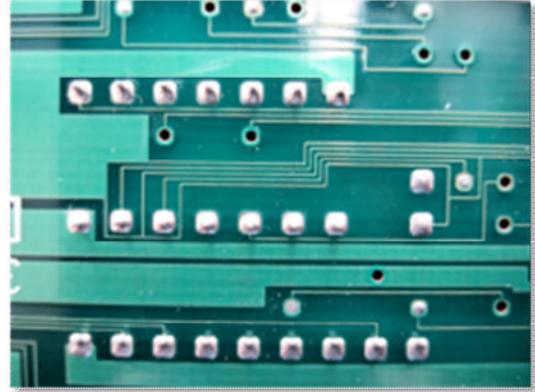


図3 実基板の回路配線例



図4 実基板の回路配線例

と幅変化による影響について検討を行った。

2.3 試作基板の作成

2.3.1 電磁解析用基板の作成

最初に、配線形状を変化させた場合の信号の反射応答を見るために、図5のような電磁界解析用の基板モデルを4枚作成した。基板の寸法は全て1.6(H) × 100(L) × 25(W)mm、基板材質はFR-4 (Flame Retardant Type 4)を用いており、基板裏面はグラウンド基準面としてすべて銅箔で覆われている。線路は、基板寸法と配線幅から計算して特性インピーダンスがおよそ50Ωとなるように作成した。基板は線路が直角に折れる配線パターンと角に丸みをつけた配線パターンの計2種類、基板は基板の直角部分を45度の傾斜をつけたもので、その傾斜部分の長さが異なる2種類を設けた配線パターンである。基板は隣接干渉の影響を見するための配線形状であり、それぞれ1枚の基板につき1回路で構成している。高周波信号の入出力部にはSMA (Sub Miniature Type A) コネクタを取り付け

た。

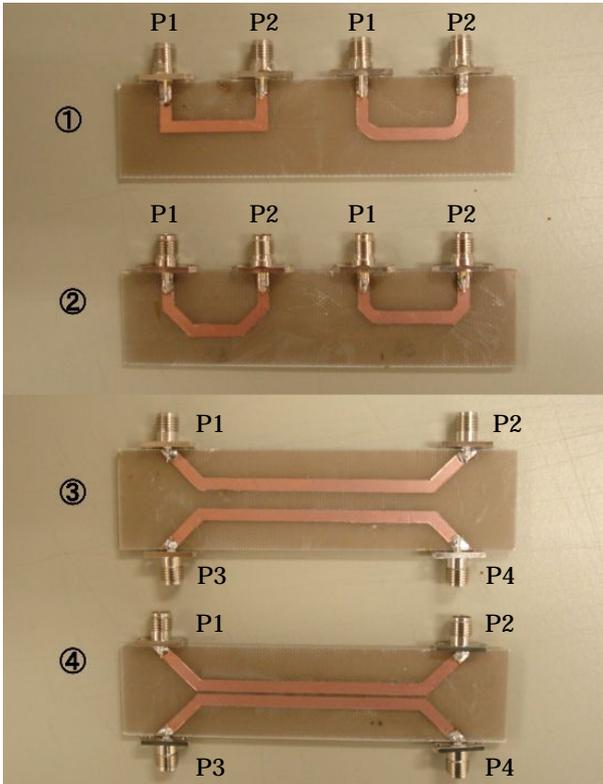


図5 電磁解析用試作基板

2.3.2 妨害波測定用基板の作成

次に、放射妨害波を測定するために作成した基板を図6に示す。基板寸法は1.6(H)×250(L)×200(W)mmで、基板材質はFR-4を使用している。作成した基板の特徴としては、部品面に条件の異なる複数の実験用回路を搭載し、任意の回路を組み合わせることで実験ができるようにした。基板裏面は可能な限りベタグラウンドとしている。また、隣り合う回路同士の影響を排除して実験する必要からON/OFFスイッチを送信側のICに採用した。また、回路を任意に選択してロジック信号を伝送するためにPLD(Programmable Logic Device)チップを使用して内部プログラムを書き換えることで、物理的な配線を変えることなく任意の信号路の選択を可能とした。回路の動作周波数は20MHzとし、外部の水晶振動子を取り替えることで周波数を変更することが可能である。PLDチップは最大200MHzまでの駆動が可能であるが、現実的にはPLD内部のプログラムで変化するロジック構造によって遅延が発生するため、シミュレーションや周波数測定により実効速度の把握を行う必要がある。

本報では、図6の基板中央付近の枠内で囲まれた

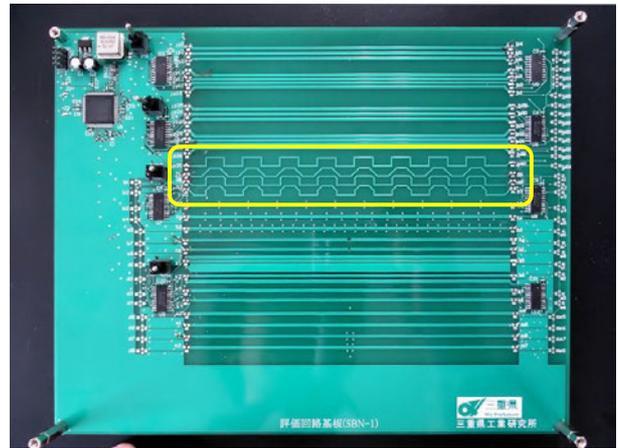


図6 妨害波測定用試作基板

部分が実験対象となる回路である。

3. 結果と考察

3.1 試作基板の解析評価

図5の各試作基板について電磁界解析を行った結果を図7~10に示す。各図はそれぞれ3種類の図で構成されており、左側の解析モデルに対する解析結果を中央と右側に併記してある。各図中央の鳥瞰図は導体上に流れる電流密度分布を示しており、電流密度の高い場所は波高値が高く表現されている。各図右端のグラフは入力信号に対する反射特性(S11)および通過特性(S21)を表している。例えば、図5の基板左側回路モデルの解析結果については図7に対応し、図7中央の図からは配線が直角に折れた箇所の電流密度が他箇所比べて非常に高くなっており、また図7の特性図からは5GHz付近にわたって通過特性が良好であることがわかる。一方、反射特性については、同図において山の起伏が幾重にも見えるが、これは入力(P1)と出力(P2)との間で信号が多重反射していることを示しており、周波数が高くなるにつれて反射量が高まる傾向にあることがわかる。

電流密度分布については、図8~10の解析結果についても同様の傾向が見られ、配線が折れた箇所は角に丸みがあるモデル(図5の基板右側モデル)の場合であっても高い波高値が見られる。一方、Sパラメータについては、5GHz以上の周波数帯域では図7~10の解析結果に大きな差は見られないものの、5GHz以下の周波数帯域で比較すると、図9右側の解析結果が他の結果よりも若干低い反射量を示しており、特に1GHz以下の周波数帯域で比較する

と、図9 右側矢印部分に示すとおり他の解析結果と比較して反射量が明らかに低いことがわかる。

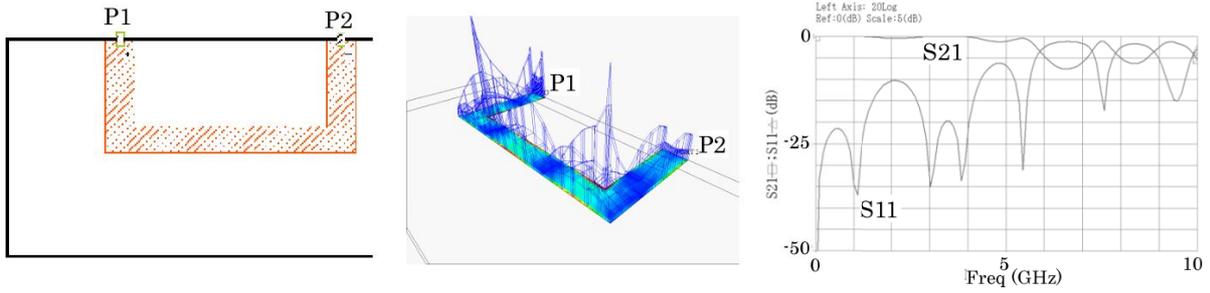


図7 図5基板①の左端モデルの電磁界解析結果

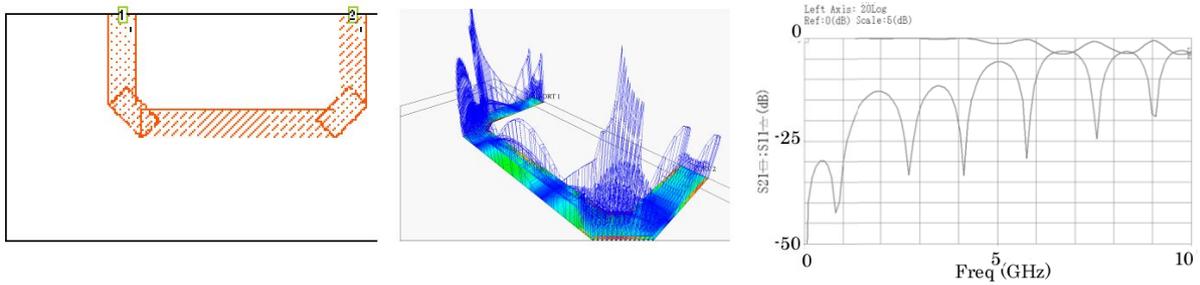


図8 図5基板②の右端モデルの電磁界解析結果

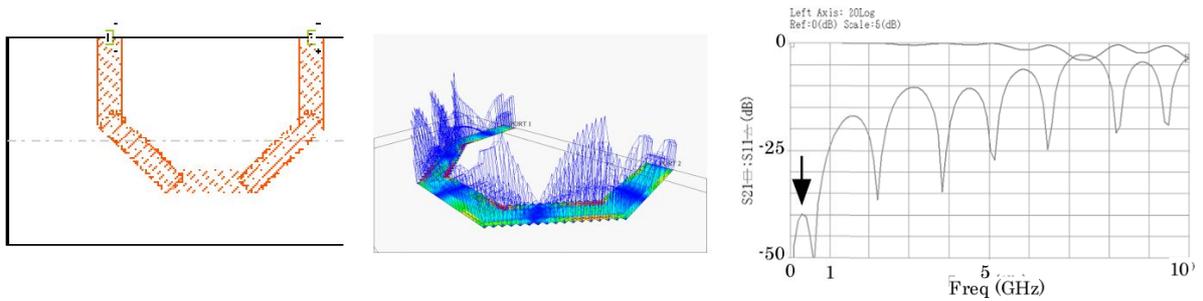


図9 図5基板②の左端モデルの電磁界解析結果

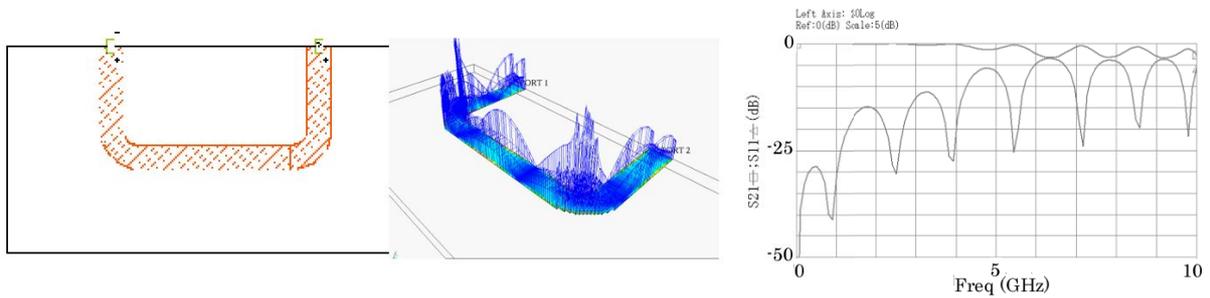


図10 図5基板①の右端モデルの電磁界解析結果

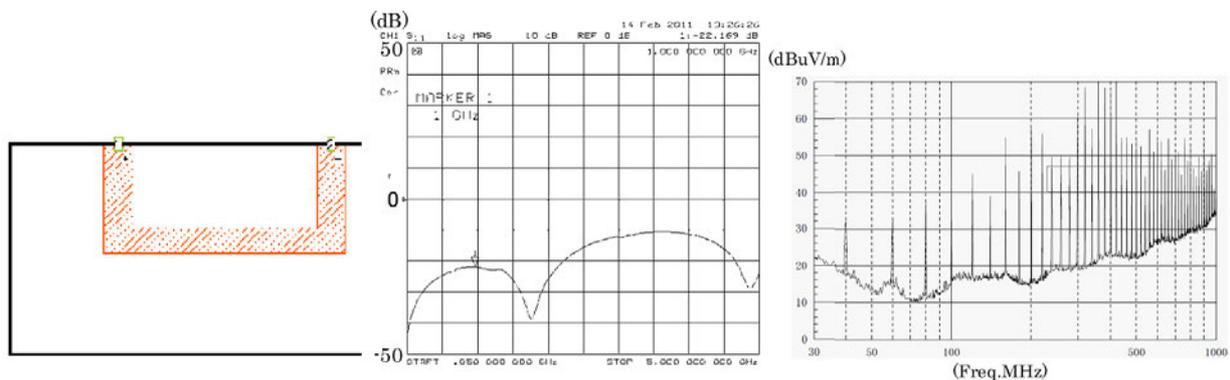


図11 図5①左端モデルの反射特性測定結果と放射妨害波実測結果

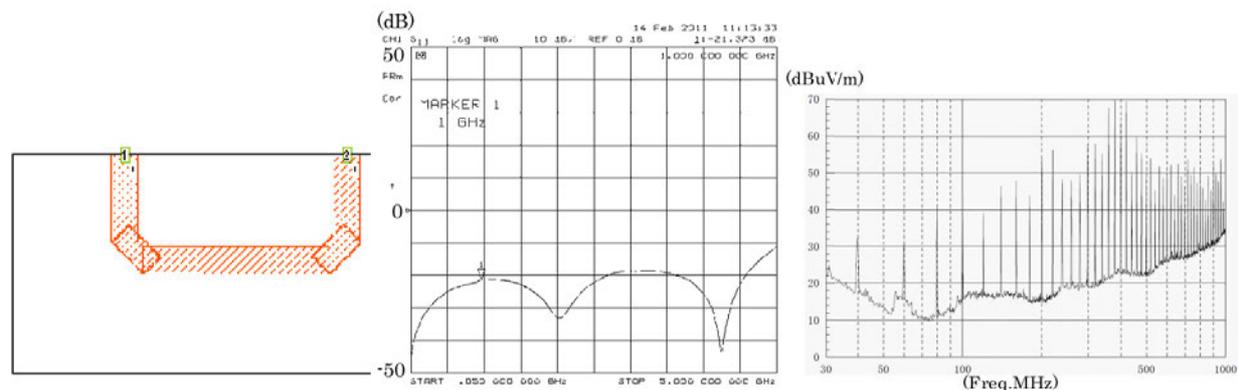


図12 図5①右端モデルの反射特性測定結果と放射妨害波実測結果

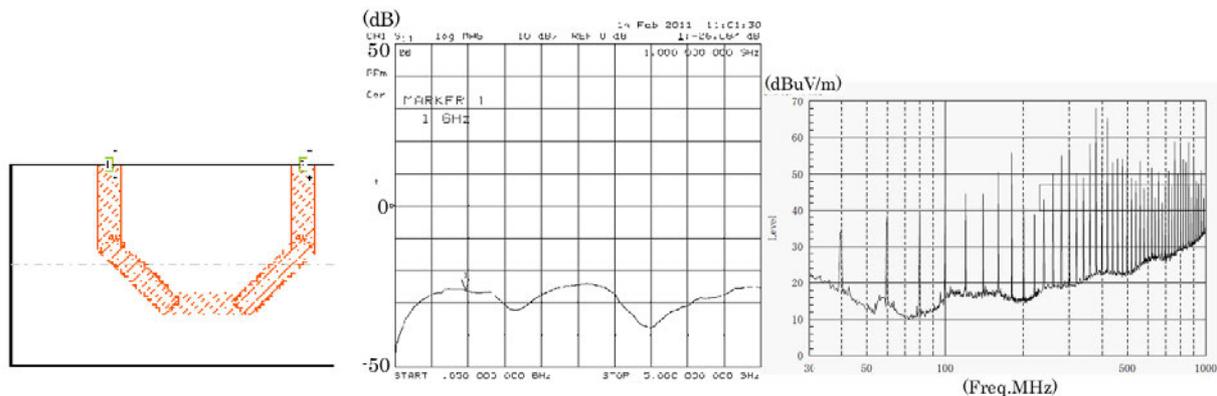


図13 図5②左端回路モデルの反射特性測定結果と放射妨害波実測結果

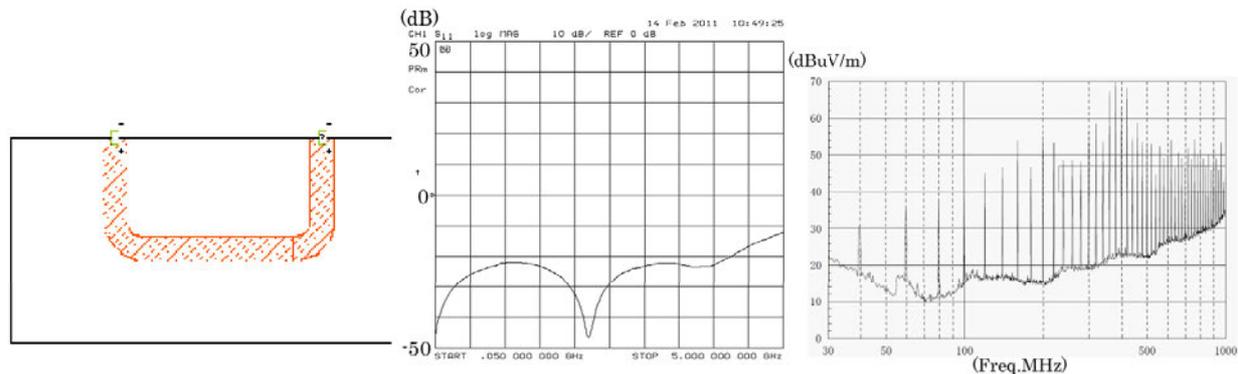


図14 図5②右端回路の反射特性測定結果と放射妨害波実測結果

以上から、図5の基板 ~ の4種類のモデルを比較した場合、図5の基板 左側モデルが最も特性が良好であり、不要ノイズの発生を少なくするような配線形状であることがわかった。従来のプリント基板設計においては、「コーナー配線は直角(90度)にしないこと。屈曲箇所は45度や丸く配線すること。」という定性的な設計ルールが存在する⁸⁾が、解析結果からは配線の屈曲箇所をわずかに曲げたり丸くするよりも、全体が円形近似になるような配線レイアウトを適用することで反射特性が改善されることがわかり、従来ルールの他にも最適な形状があることがわかった。

3.2 試作基板の実測評価

前項において解析した各配線モデルについて、反射特性および放射妨害波を実測した結果を図11~14に示す。各図は3種類から構成されており、左端の配線モデル図に対する実測結果を中央および右端グラフに併記してある。各図の中央にあるグラフは図5の基板 をネットワークアナライザで実測した結果を示しており、入力信号に対する反射特性を表している。また各図の右端グラフは、各回路モデルに対する放射妨害波の実測結果を示している。回路モデルは図6の試作基板における枠内で囲まれた回路が該当する。

これらと比較すると、反射特性については図5の基板 左側モデルの実測結果(図13中央のグラフ)が他モデルの実測結果と比較して測定周波数全帯域(50MHz~5GHz)にわたり反射量が-20dB以下と低く抑えられていることがわかる。また放射妨害波についても図5の基板 左側モデルの実測結果(図13右側のグラフ)が他モデルの結果と比較して300~500MHz付近のノイズレベルが比較的低いことがわかる。この結果は、前節の電磁界シミュレーション解析結果とよく一致しており、当該モデルがノイズ発生を抑制する配線形状としては効果的であることが確認できた。

3.3 隣接干渉の解析および実測評価

図5の基板 ~ は、平行隣接する線路について電磁的な相互干渉の影響を検討するための配線モデルである。基板 と基板 とは線路間隔がそれぞれ異なっている。基板 について電磁解析した結果を図15に示す。ワイヤフレームで示された波高値と色の濃淡は、P1からP2へ高周波信号を伝送した場合における各線路の電流密度分布の様子を示してい

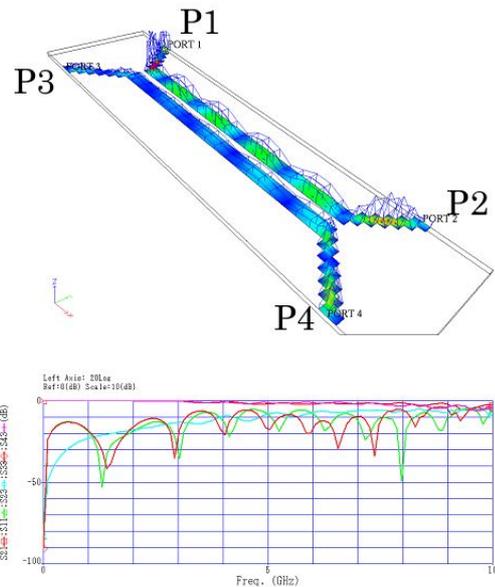


図15 図5 基板 の電磁界解析結果

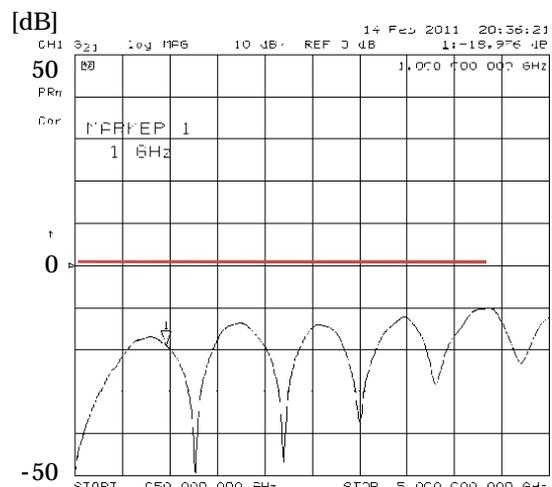


図16 図5 基板 の通過特性(S21)実測結果

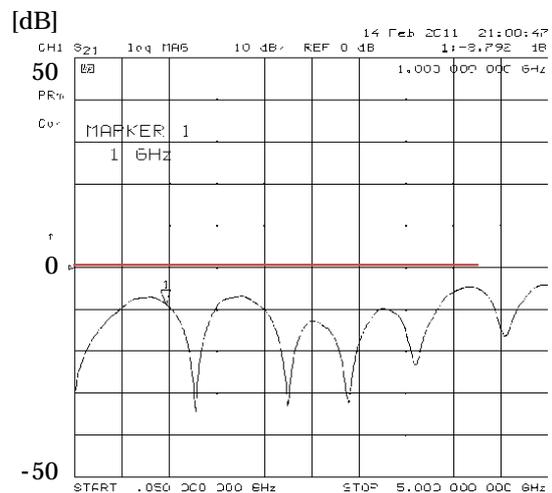


図17 図5 基板 の通過特性(S21)実測結果

る。ここで、P1-P2 を結ぶ線路と P3-P4 を結ぶ線路とは電氣的に切り離されているにもかかわらず、P3-P4 を結ぶ線路に電流が流れている様子が見られ、これは隣接する線路同士の距離が近づくと電磁的な干渉が発生することを示している。

次に、P1-P2 を結ぶ線路と P3-P4 を結ぶ線路との電磁的結合の大きさを確認するために、基板 ~ について P1 から P4 への通過特性 (S41) をネットワークアナライザで実測した結果をそれぞれ図 16 ~ 17 に示す。図中矢印で示した 1GHz 付近において、線路間隔の広い基板 については入力信号に対して平均-20dB、線路間隔の狭い基板 については平均-10dB の結合が観測された。この結果から、線路間隔については配線幅以上確保した場合は隣接干渉が 1 割程度に収まり、現実的には支障のない範囲となる一方、配線幅以下となる場合は、信号周波数によっても変わるが、少なくとも配線幅の半分以下になると隣接干渉が 2 割以上発生する恐れがあり、EMI 発生リスクが増加すると考えられる。

4. まとめ

プリント基板の EMI ノイズ対策に関して、その配線レイアウトに着目し、実際の基板でよく見られる配線形状を参考に回路モデルの基板製作をおこない、配線パターンおよび EMI との相関を、電磁界解析と実測結果から検討した。その結果、電磁界解析結果と実測結果の傾向は概ね一致しており、屈曲配線については、配線レイアウトが全体として円に近似した配線形状がノイズ発生の抑制につながる事がわかった。これにより従来からあるプリント基板設計時の定石ルールに加えて、EMI ノイズの低減化につながる 1 つの参考回路となる結果を示すことができた。また、隣接干渉については、線路間隔は配線幅程度を確保することがプリント基板設計上の目安になることを示した。

本事例は、EMI 対策の中でも配線設計に関する内容の一端であり、他事例の検証については継続的な課題として今後も取り組む予定である。また各結果については、独自開発したノイズ対策データベースに随時蓄積を行っており、問題解決を図る 1 つの手段として活用していきたい。

参考文献

- 1) C. R. Paul : "Introduction to Electromagnetic Compatibility, 2nd Edition". John Wiley & Sons, Inc. p145 (2006)
- 2) 小磯賢智ほか : "シールド材評価装置の電磁波シミュレーション解析". 三重県工業研究所研究報告, 33, p44-47 (2009)
- 3) 小磯賢智ほか : "EMI 抑制と電磁界シミュレーションの活用". 三重県工業研究所研究報告, 34, p62-66 (2010)
- 4) エレクトロニクス実装学会電磁特性技術委員会編 : "EMC 設計技術 - 応用編 -". エレクトロニクス実装学会 (2004)
- 5) 中川政雄 : "高速デジタル・ボードのシグナル・インテグリティ対策と EMI 対策". デザインウェーブマガジン, 43, p44-53 (2001)
- 6) 長田久 : "ノイズ対策の基礎 第 4 回". TDK Product Hotline Magazine, 30, p31-38 (1999)
- 7) Agilent Technologies アプリケーションノート : "Microwave Coaxial Connectors". Agilent Technologies (2006)
- 8) 久保寺忠 : "高速デジタル回路実装ノウハウ". CQ 出版社. p43-44 (2002)

(本研究は法人県民税の超過課税を財源としています)